

特開平8-148650

(43)公開日 平成8年(1996)6月7日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04

21/822

H 0 1 L 27/ 04

H

D

審査請求 有 請求項の数1 O L (全 4 頁)

(21)出願番号 特願平6-287751

(22)出願日 平成6年(1994)11月22日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 中野 文雄

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 東野 勝彦

東京都港区芝五丁目7番1号 日本電気株式会社内

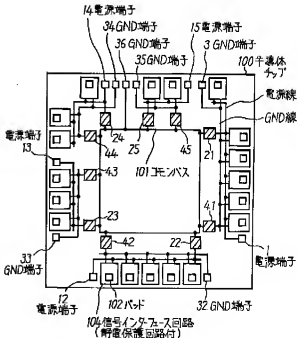
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 1チップ上の設けた複数の電源系の間に発生する静電気の保護回路の数を減らして半導体チップの面積が増大することを抑える。

【構成】 半導体チップ100内にコンパス101を設け、各正電源端子1, 12, 13, 14, 15とコンパス101の間に静電保護回路21, 22, 23, 24, 25を接続し、各GND端子3, 32, 33, 34, 35とコンパス101の間に静電保護回路41, 42, 43, 44, 45を接続している。静電保護回路21, 22, 23, 24, 25, 41, 42, 43, 44, 45はダイオードのアノード端子51をコンパスに接続し、カソード端子52を電源端子もしくはGND端子に接続している。コンパス101は最低電位のGND端子36に接続されている。



1

【特許請求の範囲】

【請求項1】 半導体チップ上に分離して搭載し且つそれぞれ異なる電源系で駆動される複数の回路系と、前記回路系の電源線及びGND線のそれぞれと静電保護回路を介して接続し且つ前記半導体チップにおける最も高い電位又は最も低い電位を与えるコンパスとを備えたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路装置に関する、特に静電保護回路に関する。

【0002】

【従来の技術】 半導体集積回路装置においては、静電保護回路として図6に示すように信号端子2と電源端子1及びGND端子3の間にそれぞれダイオード4、5を接続した構成のものが使われている。

【0003】 回路動作を説明すると、信号端子2と電源端子1との間に静電気によって電位が発生した時、信号端子2の電位が高い場合にはダイオード4の順方向により電源端子1に電荷が抜け、電位が低い場合にはダイオード4の逆方向の降伏現象により信号端子2に電荷が抜けて静電気による内部回路6の破壊が防止される。

【0004】 一方、信号端子2とGND端子3との間に静電気によって電位が発生した時、信号端子2の電位が低い場合にはダイオード5の順方向により信号端子2に電荷が抜け、電位が高い場合にはダイオード5の逆方向の降伏現象によりGND端子3に電荷が抜け静電気による内部回路6の破壊が防止される。

【0005】 また、電源端子1とGND端子3との間に静電気によって電位が発生した時、電源端子1の電位が低い場合にはダイオード4、5の順方向により電源端子1に電荷が抜け、電位が高い場合にはダイオード4、5の逆方向の降伏現象によりGND端子3に電荷が抜け静電気による内部回路6の破壊が防止される。

【0006】 従来、アナログ・デジタル混載LSIにおいて、アナログ・デジタルの電源端子及びGND端子をそれぞれ共通にすると、配線及びボンディングワイヤの共通インピーダンスによるノイズの回り込みにより、所望の特性が得られなくなるため、電源系をそれぞれ分離することで所望の特性を得ていた。この為、異なる電源系間の静電破壊を防ぐ為、図7に示す様に全ての電源系間に静電保護回路を挿入していた。

【0007】

【発明が解決しようとする課題】 この従来の半導体集積回路装置は、電源系の分離数が多くなることにより、各電源系間に保護回路を挿入しなければならなくなり、電源系の数をNとすると保護回路の数が2N(N-1)となる為、保護回路の数が膨大となり、チップ面積が大きくなるという欠点があった。

【0008】

2

【課題を解決するための手段】 本発明の半導体集積回路装置は、半導体チップ上に分離して搭載し且つそれぞれ異なる電源系で駆動される複数の回路系と、前記回路系の電源線及びGND線のそれぞれと静電保護回路を介して接続し且つ前記半導体チップにおける最も高い電位又は最も低い電位を与えるコンパスとを備えている。

【0009】

【実施例】 次に、本発明について図面を参照して説明する。

【0010】 図1は本発明の第1の実施例を説明するためのレイアウト図である。

【0011】 図1に示すように、半導体チップ100内にコンパス101を設け、各正電源端子1、12、13、14、15とコンパス101の間に静電保護回路21、22、23、24、25を接続し、各GND端子3、32、33、34、35とコンパス101の間に静電保護回路41、42、43、44、45を接続している。

【0012】 静電保護回路21、22、23、24、25、41、42、43、44、45は図5に示すダイオードを用いておりダイオードのアノード端子51をコンパスに接続し、カソード端子52を電源端子もしくはGND端子に接続している。コンパス101はGND端子36に接続されている。

【0013】 図2は図1に示すように構成された保護回路の動作を説明するための回路図である。

【0014】 図2に示すように、例えば、信号端子2と電源端子12との間に静電気による電圧が発生すると、ダイオード5、静電保護回路41、22を介して電源端子12に電荷が抜ける。

【0015】 また、信号端子9とGND端子3との間に静電気による電圧が発生すると、ダイオード7、静電保護回路22、41を介してGND端子3に抜ける。

【0016】 各端子間の全ての組み合わせで静電保護回路が挿入されており、静電気が抜けるパスが必ず存在し、内部回路6の破壊を防ぐことが出来る。

【0017】 半導体チップ100が動作状態の時は、静電保護回路のダイオードは全て逆バイアスされて非導通となっており、ダイオードの両端に接続されている配線間のDC的な干渉はない。

【0018】 図3は本発明の第2の実施例を説明するためのレイアウト図である。

【0019】 図3に示すように、半導体チップ100内にコンパス101を設け、各正電源端子1、12、13、14、15とコンパス101間に静電保護回路21、22、23、24、25を接続し、各GND端子3、32、33、34、35とコンパス101の間に静電保護回路41、42、43、44、45を接続している。

【0020】 静電保護回路21、22、23、24、2

5, 41, 42, 43, 44, 45は図5に示すダイオードを用いており、ダイオードのカソード端子52をコモンバスに接続し、アノード端子51を電源端子もしくはGND端子に接続している。コモンバス101は電源端子16に接続されている。

【0021】図4は図3に示すように構成された保護回路の動作を説明するための回路図である。

【0022】図4に示すように、第1の実施例と同様に各端子間の全ての組み合わせで静電保護回路が挿入されており、静電気が掛けるバスが必ず存在し、内部回路6の破壊を防ぐことが出来る。

【0023】半導体チップ100が動作状態の時は、静電保護回路のダイオードは全て逆バイアスされて非導通となっており、ダイオードの両端に接続されている配線間のD/C的な干渉はない。

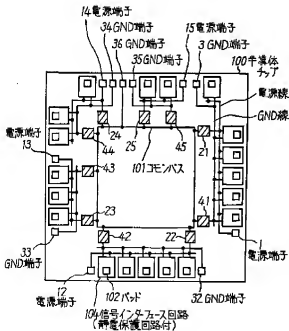
【0024】

【発明の効果】以上説明したように本発明は、半導体チップ上に設けた複数の電源系のそれぞれと静電保護回路を介して接続したコモンバスを設けることにより、従来、静電保護回路の数が電源系の数Nに対して2N(N-1)であったものが2Nとなり、静電保護回路を減らすことができチップ面積を小さく出来る。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するためのレイア

【図1】



ウト図。

【図2】図1に示した保護回路の動作を説明するための回路図。

【図3】本発明の第2の実施例を説明するためのレイアウト図。

【図4】図3に示した保護回路の動作を説明するための回路図。

【図5】静電保護素子の一例を示す等価回路図。

【図6】静電保護回路の一例を説明するための回路図。

【図7】従来の半導体集積回路装置の一例を説明するためのレイアウト図。

【符号の説明】

1, 12, 13, 14, 15, 16 電源端子

2, 9 信号端子

3, 32, 33, 34, 35, 36 GND端子

4, 5, 7, 8, 53 ダイオード

6 内部回路

21, 22, 23, 24, 25, 41, 42, 43, 4

4, 45 静電保護回路

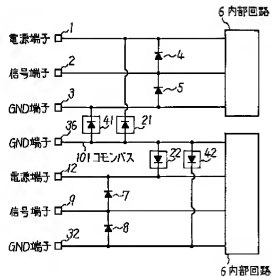
51 アノード端子

52 カソード端子

101 コモンバス

102 パッド

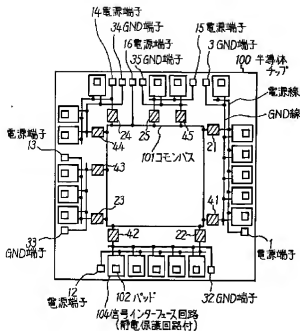
【図2】



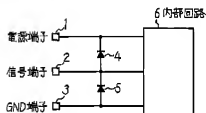
【図5】



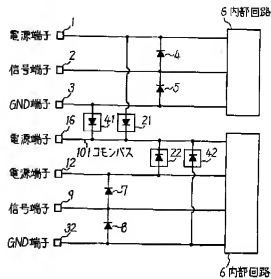
【図3】



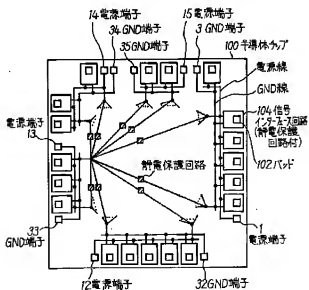
【図6】



【図4】



【図7】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-148650

(43)Date of publication of application : 07.06.1996

(51)Int.Cl.

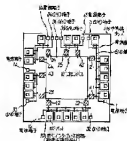
H01L 27/04

H01L 21/822

(21)Application number : 06-287751 (71)Applicant : NEC CORP

(22)Date of filing : 22.11.1994 (72)Inventor : NAKANO FUMIO
TONO KATSUHIKO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE



(57)Abstract:

PURPOSE: To suppress an increase in the area of a semiconductor chip by decreasing the number of protection circuits of static electricity generated between a plurality of power source systems provided on one chip.

CONSTITUTION: A common bus is provided in a semiconductor chip 100 and static electricity protection circuits 21, 22, 23, 24, 25 are connected between respective positive power source terminals 1, 12, 13, 14, 15 and the common bus

101, and static electricity protection circuits 41, 42, 43, 44, 45 are connected between respective GND terminals 3, 32, 33, 34, 35 and the common bus 101. In the static electricity protection circuits 21, 22, 23, 24, 25, 41, 42, 43, 44, 45, an anode terminal of a diode is connected to the common bus, and a cathode terminal is connected to a power source terminal or a GND terminal. The common bus 101 is connected to a GND terminal 36 having the lowest potential.

LEGAL STATUS

[Date of request for examination] 22.11.1994

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 2616721

[Date of registration] 11.03.1997

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPJ are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not
reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Semiconductor integrated circuit equipment characterized by having the common bus which connects through each and the static protection circuit of the power-source line of two or more circuit systems driven by electrical power system which dissociates and carries on a semiconductor chip and is different, respectively, and said circuit system, and a GND line, and gives the highest potential or the lowest potential in said semiconductor chip.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to a static protection

circuit about semiconductor integrated circuit equipment.

[0002]

[Description of the Prior Art] In semiconductor integrated circuit equipment, as shown in drawing 6 as a static protection circuit, the thing of a configuration of having connected diodes 4 and 5, respectively is used between the signal terminal 2, the power supply terminal 1, and the GND terminal 3.

[0003] When circuit actuation was explained and potential occurs with static electricity between the signal terminal 2 and a power supply terminal 1, when the potential of the signal terminal 2 is high, a charge falls out to a power supply terminal 1 by the forward direction of diode 4, when potential is low, a charge falls out for the signal terminal 2 according to the yield phenomenon of the hard flow of diode 4, and destruction of the internal circuitry 6 by static electricity is prevented.

[0004] On the other hand, when potential occurs with static electricity between the signal terminal 2 and the GND terminal 3, when the potential of the signal terminal 2 is low, a charge falls out for the signal terminal 2 by the forward direction of diode 5, when potential is high, a charge falls out for the GND terminal 3 according to the yield phenomenon of the hard flow of diode 5, and destruction of the internal circuitry 6 by static electricity is prevented.

[0005] Moreover, when potential occurs with static electricity between a power supply terminal 1 and the GND terminal 3, when the potential of a power supply terminal 1 is low, a charge falls out to a power supply terminal 1 by the forward direction of diodes 4 and 5, when potential is high, a charge falls out for the GND terminal 3 according to the yield phenomenon of the hard flow of diodes 4 and 5, and destruction of the internal circuitry 6 by static electricity is prevented.

[0006] Conventionally, when the analog, the digital power supply terminal, and the GND terminal were carried out in common in the analog digital mixed loading LSI, respectively, since a desired property was no longer acquired by wiring and surroundings lump of the noise by the common impedance of a bonding wire, the desired property had been acquired by separating an electrical power system,

respectively by them. In order to prevent the electrostatic discharge between different electrical power systems for this reason, as shown in drawing 7, the static protection circuit was inserted among all electrical power systems.

[0007]

[Problem(s) to be Solved by the Invention] If a protection network had to be inserted and the number of electrical power systems was set to N between each electrical power system, when the separation number of an electrical power system increases, since the number of protection networks would be set to $2N(N-1)$, this conventional semiconductor integrated circuit equipment had the fault that the number of protection networks became huge and a chip area became large.

[0008]

[Means for Solving the Problem] The semiconductor integrated circuit equipment of this invention is equipped with the common bus which connects through each and the static protection circuit of the power-source line of two or more circuit systems driven by electrical power system which dissociates and carries on a semiconductor chip and is different, respectively, and said circuit system, and a GND line, and gives the highest potential or the lowest potential in said semiconductor chip.

[0009]

[Example] Next, this invention is explained with reference to a drawing.

[0010] Drawing 1 is a layout pattern for explaining the 1st example of this invention.

[0011] As shown in drawing 1, the common bus 101 was formed in the semiconductor chip 100, the static protection circuits 21, 22, 23, 24, and 25 were connected with each forward power supply terminals 1, 12, 13, 14, and 15 between common buses 101, and the static protection circuits 41, 42, 43, 44, and 45 are connected with each GND terminals 3, 32, 33, 34, and 35 between common buses 101.

[0012] The static protection circuits 21, 22, 23, 24, 25, 41, 42, 43, 44, and 45 use

the diode shown in drawing 5 , connected the anode terminal 51 of diode to the common bus, and have connected the cathode terminal 52 to a power supply terminal or a GND terminal. The common bus 101 is connected to the GND terminal 36.

[0013] Drawing 2 is a circuit diagram for explaining actuation of the protection network constituted as shown in drawing 1 .

[0014] If the electrical potential difference by static electricity occurs between the signal terminal 2 and a power supply terminal 12 as shown in drawing 2 for example, a charge will fall out to a power supply terminal 12 through diode 5 and the static protection circuits 41 and 22.

[0015] Moreover, if the electrical potential difference by static electricity occurs between the signal terminal 9 and the GND terminal 3, it will escape for the GND terminal 3 through diode 7 and the static protection circuits 22 and 41.

[0016] The static protection circuit is inserted in all the combination between each terminal, and the pass from which static electricity escapes surely exists, and can prevent destruction of an internal circuitry 6.

[0017] When a semiconductor chip 100 is operating state, the reverse bias of all the diodes of a static protection circuit is carried out, they are un-flowing, and there is no DC-interference during wiring connected to the both ends of diode.

[0018] Drawing 3 is a layout pattern for explaining the 2nd example of this invention.

[0019] As shown in drawing 3 , the common bus 101 was formed in the semiconductor chip 100, the static protection circuits 21, 22, 23, 24, and 25 were connected with each forward power supply terminals 1, 12, 13, 14, and 15 between common buses 101, and the static protection circuits 41, 42, 43, 44, and 45 are connected with each GND terminals 3, 32, 33, 34, and 35 between common buses 101.

[0020] The static protection circuits 21, 22, 23, 24, 25, 41, 42, 43, 44, and 45 use the diode shown in drawing 5 , connected the cathode terminal 52 of diode to the common bus, and have connected the anode terminal 51 to a power supply

terminal or a GND terminal. The common bus 101 is connected to the power supply terminal 16.

[0021] Drawing 4 is a circuit diagram for explaining actuation of the protection network constituted as shown in drawing 3 .

[0022] As shown in drawing 4 , the static protection circuit is inserted in all the combination between each terminal like the 1st example, and the pass from which static electricity escapes surely exists, and can prevent destruction of an internal circuitry 6.

[0023] When a semiconductor chip 100 is operating state, the reverse bias of all the diodes of a static protection circuit is carried out, they are un-flowing, and there is no DC-interference during wiring connected to the both ends of diode.

[0024]

[Effect of the Invention] two or more electrical power systems which prepared this invention on the semiconductor chip as explained above -- respectively -- ** -- forming the common bus which connected through the static protection circuit -- the number of former and static protection circuits -- several [of an electrical power system] -- to N, what was 2Ns (N-1) is set to 2 Ns, can reduce a static protection circuit, and can make a chip area small.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The layout pattern for explaining the 1st example of this invention.

[Drawing 2] The circuit diagram for explaining actuation of the protection network shown in drawing 1 .

[Drawing 3] The layout pattern for explaining the 2nd example of this invention.

[Drawing 4] The circuit diagram for explaining actuation of the protection network shown in drawing 3 .

[Drawing 5] The representative circuit schematic showing an example of a static protection component.

[Drawing 6] The circuit diagram for explaining an example of a static protection circuit.

[Drawing 7] The layout pattern for explaining an example of conventional semiconductor integrated circuit equipment.

[Description of Notations]

1, 12, 13, 14, 15, 16 Power supply terminal

2 Nine Signal terminal

3, 32, 33, 34, 35, 36 GND terminal

4, 5, 7, 8, 53 Diode

6 Internal Circuitry

21, 22, 23, 24, 25, 41, 42, 43, 44, 45 Static protection circuit

51 Anode Terminal

52 Cathode Terminal

101 Common Bus

102 Pad

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

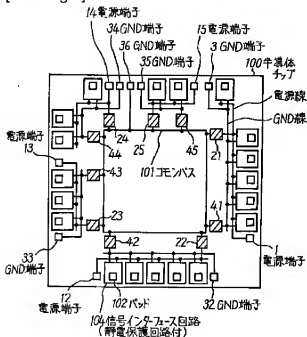
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]



[Drawing 2]

[Translation done.]